

INPUT CIRCUIT COMPATIBLE WITH MULTI-POWER SUPPLY

JP (Japan)

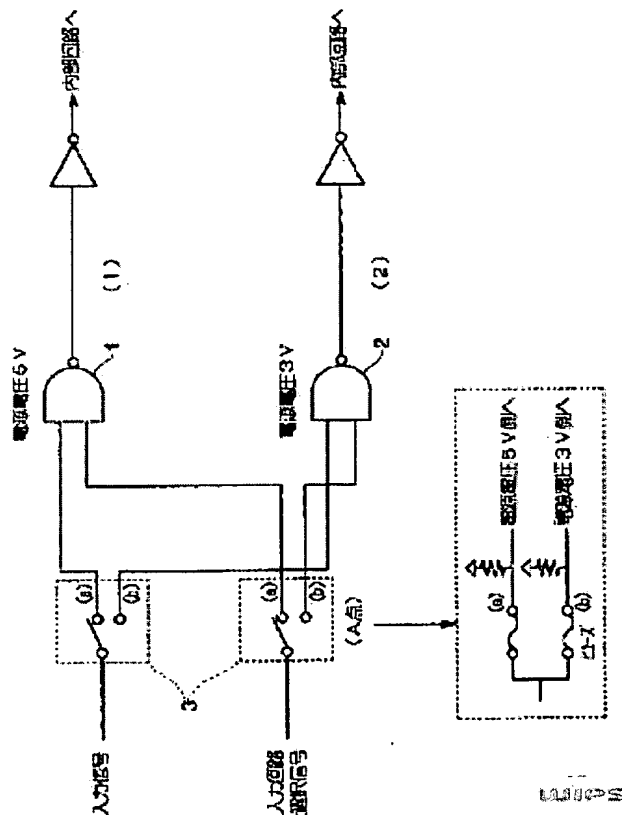
1993-167425 (1993.07.02)

■(Kind of Document) :A (Unexamined Publication) ■(Application Number) :1991-330719
(1991.12.13) ■(Inventor) :KAWAISHI KANEO ■(Assignee) :SHARP CORP,

대표출원인명 : SHARP KABUSHIKI KAISHA (A00263)

■(57)요약 (Abstract) :PURPOSE: To set an individual input inverting level compatible with a different power supply voltage by inputting an input signal to any of 1st and 2nd CMOS input circuits whose power supply voltage specifications are based on 5V and 3V.

CONSTITUTION: A section (1) is a circuit whose input inverting level is set to 1.5V at a power supply voltage $V_{cc}=5V$, and a section (2) has a different inverting level from the section (1) with a power supply voltage 3V. Then the power supply voltage is selected by a changeover switch (fuse) 3 at a point A. That is, when a fuse (b) is blow at, e.g., the point A, a CMOS input circuit 1 with time specification of the power supply voltage 5V at the side of the fuse (a) is selected, and the input signal is propagated to the internal circuit by the circuit whose input inverting level is 1.5V. Furthermore, when the fuse (a) is blown at the point A, the fuse (b) is selected, the CMOS input circuit 2 whose power supply voltage V_{cc} is 3V specification is selected and the input signal is propagated to the internal circuit with the circuit having a unique input inverting level.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-167425

(43)公開日 平成5年(1993)7月2日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 K 19/0175

H 0 1 L 27/04

27/092

M 8427-4M

6959-5 J

7342-4M

H 0 3 K 19/ 00

H 0 1 L 27/ 08

1 0 1 K

3 2 1 L

審査請求 未請求 請求項の数1(全 3 頁)

(21)出願番号 特願平3-330719

(22)出願日 平成3年(1991)12月13日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 河石 務雄

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

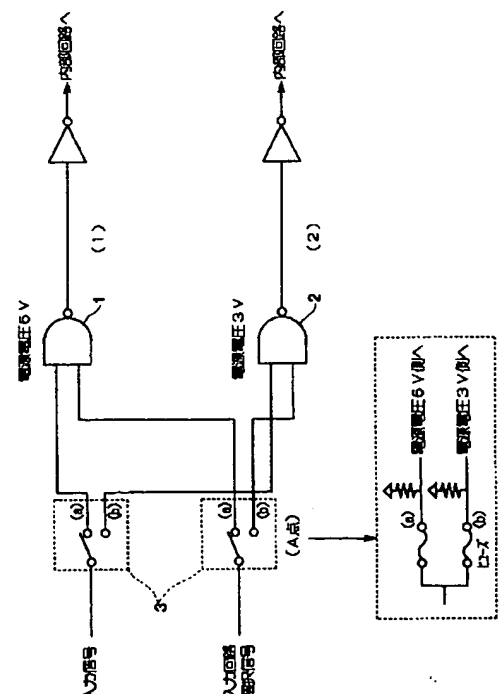
(74)代理人 弁理士 小森 久夫

(54)【発明の名称】 多電源対応入力回路

(57)【要約】

【目的】一つの半導体装置で電源電圧5Vと3Vのどちらにも対応できるようにする。

【構成】 $V_{cc} = 5V$ 仕様で設計された第1のCMOS入力回路1と $V_{cc} = 3V$ 仕様で設計された第2のCMOS入力回路2と、入力信号を上記第1のCMOS入力回路1または第2のCMOS入力回路2のいずれかに入力する切換スイッチ3を具備する。



【特許請求の範囲】

【請求項 1】電源電圧 $V_{cc} = 5V$ 仕様で設計された第 1 の CMOS 入力回路と、
電源電圧 $V_{cc} = 3V$ 仕様で設計された第 2 の CMOS 入力回路と、
入力信号を前記第 1 の CMOS 入力回路または前記第 2 の CMOS 入力回路のいずれかに入力する切換スイッチと、を具備することを特徴とする多電源対応入力回路。

【発明の詳細な説明】

$$V_{inv} = (V_{cc} - |V_{TP}| + \sqrt{BR} V_{TN}) / (BR + 1)$$

ただし

$$\text{インバータのベータ比 } \beta_R = \frac{(W_n / L_n) \mu_n}{(W_p / L_p) \mu_p}$$

V_{cc} : 電源電圧

V_{TP} : PMOS のしきい電圧

V_{TN} : NMOS のしきい電圧

【0004】上記の式より、TTL 入力対応型の CMOS で構成された入力回路を備えている半導体装置では、通常、 $V_{cc} = 5V$ 時には入力反転レベルは約 1.5V となる。

【0005】

【発明が解決しようとする課題】上記のように、従来の 5V 仕様で設計した CMOS 入力回路の入力反転レベルは、数 1 より 1.5V となるが、これを $V_{cc} = 3V$ で駆動すると数 1 より入力反転レベルが約 1.1V になる。すなわち、 $V_{cc} = 5V$ 仕様で設計された CMOS 入力回路を 3V で使用すると、入力反転レベルが約 1.1V となってしまうために 3V 時の独自の入力反転レベルを決定できなく、そのため、 $V_{cc} = 3V$ 仕様で設計した CMOS 入力回路を別途用意しなければ市場での要求に応えることができないという問題があった。

【0006】本発明の目的は、電源電圧 $V_{cc} = 5V$ と $V_{cc} = 3V$ のそれぞれに対応できる個別の入力反転レベルを設定できる多電源対応入力回路を提供することにある。

【0007】

【課題を解決するための手段】本発明は、電源電圧 $V_{cc} = 5V$ 仕様で設計された第 1 の CMOS 入力回路と、電源電圧 $V_{cc} = 3V$ 仕様で設計された第 2 の CMOS 入力回路と、入力信号を前記第 1 の CMOS 入力回路または前記第 2 の CMOS 入力回路のいずれかに入力する切換スイッチと、を具備することを特徴とする。

【0008】

【作用】電源電圧 V_{cc} が 5V の時には、切換スイッチによって第 1 の CMOS 入力回路に入力信号が入力するよ

【0001】

【産業上の利用分野】本発明は、半導体装置の入力回路に関する。

【0002】

【従来の技術】半導体装置においては、入力回路が一つの入力反転レベルしか持っていなかった。CMOS インバータのしきい値電圧は数 1 で示されている。

【0003】

【数 1】

W : 裃幅

L : 裃長

μ : 裃移動度

うに設定する。また、電源電圧 $V_{cc} = 3V$ の時には切換スイッチにより第 2 の CMOS 入力回路に入力信号が入力するように設定する。

【0009】

【実施例】図 1 は本発明の実施例の回路図を示す。

【0010】同図の (1) 側は電源電圧 $V_{cc} = 5V$ で入力反転レベル 1.5V に設定された回路である。また (2) 側は電源電圧 3V で (1) 側と違った反転レベルを持っている。ここで、同図の A 点で切換スイッチ (ヒューズ) 3 により電源電圧を切換えている。たとえば、同 A 点で (b) のヒューズが切断されると (A) 側の電源電圧 5V 仕様の CMOS 入力回路 1 が選択され、入力反転レベル 1.5V を持った回路で入力信号が内部回路へ伝搬される。また、上記 A 点で (a) のヒューズが切断されると (b) 側が選択され、電源電圧 $V_{cc} = 3V$ 仕様の入力回路 2 が選択され、独自の入力反転レベルを持った回路で内部回路に対して入力信号が伝搬される。

【0011】

【発明の効果】スイッチの切換えにより、1 つの半導体装置を 5V 仕様の入力反転レベルを持つ入力回路と 3V 仕様の入力反転レベルを持つ入力回路のいずれにも使用することができ、3V 系動作品の要求に対しても 5V 系動作品の要求に対してもそれぞれ別個に製造することなく対応することができる。

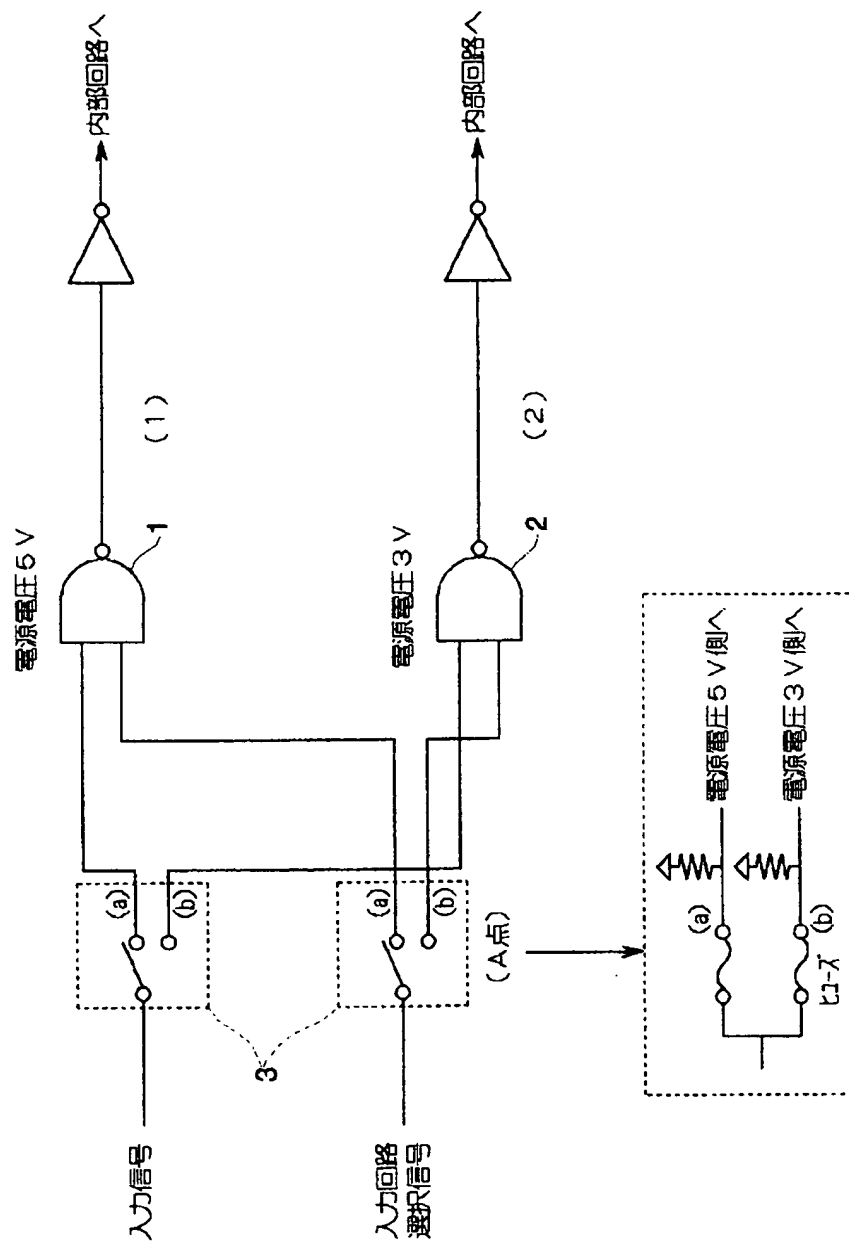
【図面の簡単な説明】

【図 1】本発明の実施例の回路図

【符号の説明】

1—第 1 の CMOS 入力回路

2—第 2 の CMOS 入力回路



【图 1】